

FPGA obvody

Pavol Galajda, KEMT, FEI, TUKE
Pavol.Galajda@tuke.sk

2 Klasifikácia PLD z hľadiska technológie výroby

- 2.1 FUSE
- 2.2 EPROM a EEPROM
- 2.3 SRAM
- 2.4 ANTIFUSE
- 2.5 FLASH

2 Klasifikácia PLD z hľadiska technológie výroby

Technológie programovania FPD obvodov

Uvedený popis sa netýka technológie výroby (bipolárnej, alebo CMOS technológie), ale programovacích metód PLD obvodov. Všetky obvody PLD sú vyrobené z kombinácie prepojuvacích polí základných hradíel, KO alebo konfigurovateľných logických blokov- makrobuniek.

Programovateľné spínače vytvárajú pole ktoré prepája logické obvody a tým umožňuje implementovať požadovanú logickú funkciu.

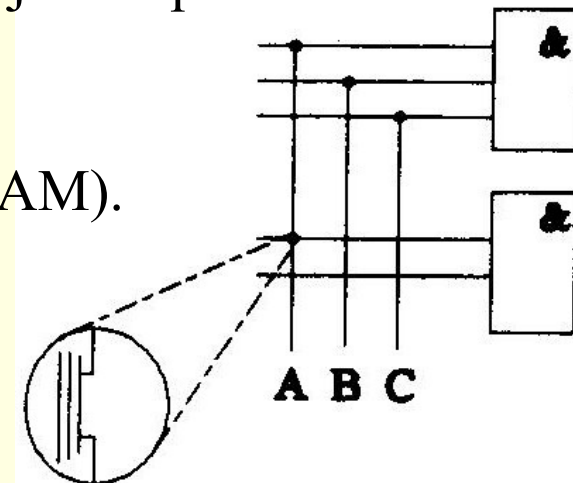
Užívateľ, v závislosti na požadovanej logickej funkcii, určí v etape programovania obvodu PLD ktoré z prepojení budú nastavené a ktoré nie.

2.1 FUSE

Prvý krát bolo programovateľné prepojenie použité v obvodoch **PLA**, realizované ako tavná poistka– *fuse* (OTP). Táto technológia nie je v súčasnosti významná aj keď sa stále používa a bola nahradená novšími technológiami programovania.

Programovateľnosť jednotlivých prepojení je zabezpečená použitím prepojovacích spínačov (Logic Control Element) realizovaných na báze rôznych technológií:

- pevné prepojenie (fuse) programované jeho pretavením (PROM),
- EPROM, EEPROM spínač,
- spínač na báze statickej pamäťovej bunky (SRAM).



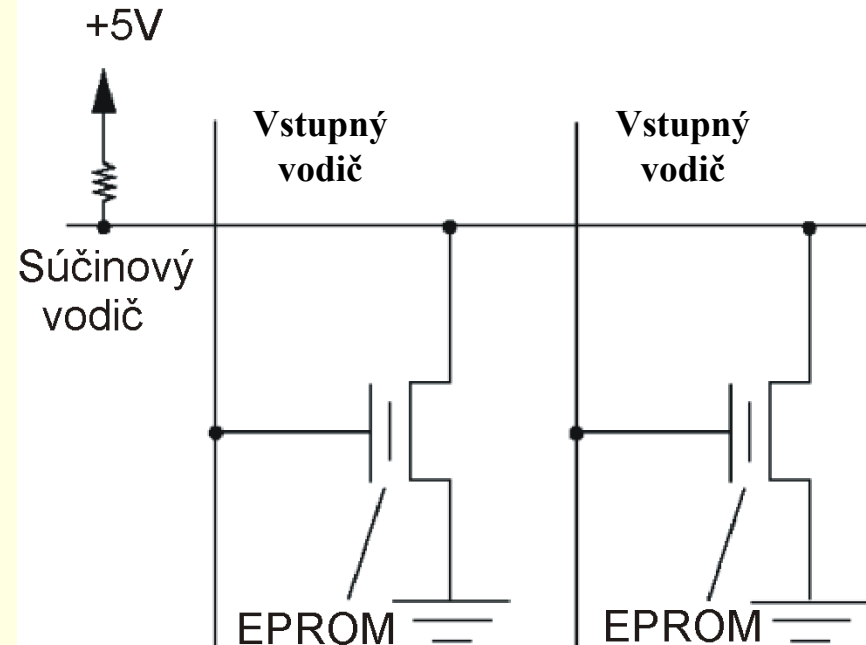
2.2 EPROM a EEPROM

V prípade CPLD obvodov je najvýznamnejšou technológiou vytvárania prepojení, technológia ktorá využíva tranzistory s plávajúcim hradlom. Rozlišujeme dve technológie:

- **EPROM** (Erasable Programmable Read-Only Memory)
- **EEPROM** (Electrically Erasable PROM)

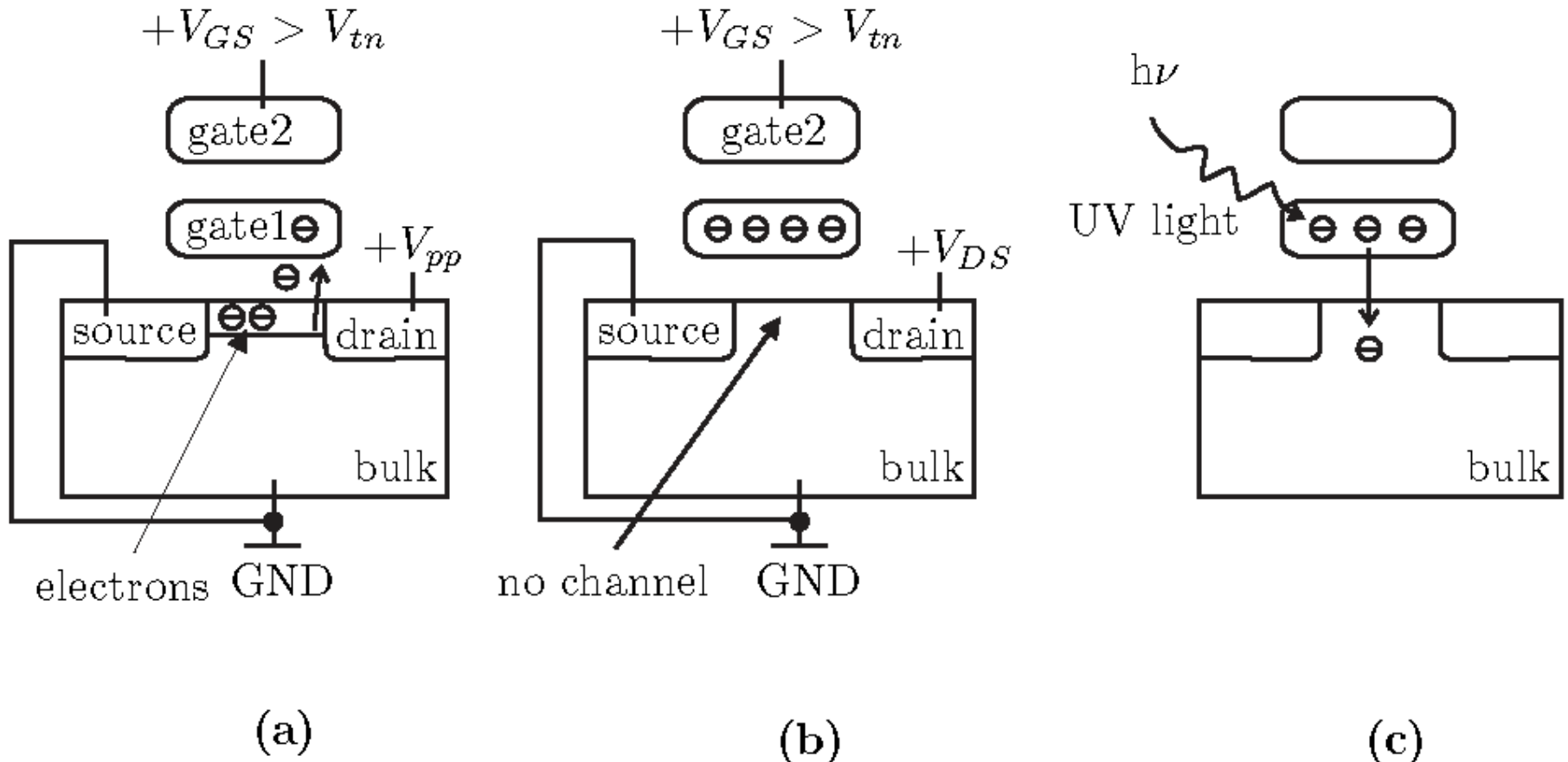
V CPLD obvodoch (a mnohých SPLD obvodoch) je EPROM alebo EEPROM tranzistor (použitý vo funkcii programovateľného spínača) umiestnený medzi dva vodiče a umožňuje realizovať funkciu montážneho súčinu .

Na obr. je príklad zapojenia EPROM (EEPROM) tranzistorov v matici AND v CPLD obvodoch. Vstup do matice AND môže prostredníctvom EPROM tranzistora nastaviť súčinový vodič na logickú úroveň 0, ak je tento vstup súčasťou príslušného súčinového termu. Pre vstupy ktoré nie sú súčasťou súčinového termu, je príslušný EPROM tranzistor naprogramovaný, ako permanentne zavretý.



2.2 EPROM a EEPROM

Bunka EPROM je takmer tak malá ako antifuse. EPROM tranzistor vyzerá podobne ako obyčajný MOS tranzistor, má však navyše druhé plávajúce hradlo (gate1). Programovaním (pripojením programovacieho napätia $V_{pp} > 12V$ na kolektor EPROM tranzistora s n-kanálom) dochádza k lavínovej injekcii elektrónov (Floating Avalanche Injection MOS- FAMOS) a hradlo sa nabije a zvyšuje tak prahové napätie EPROM tranzistora s n-kanálom.



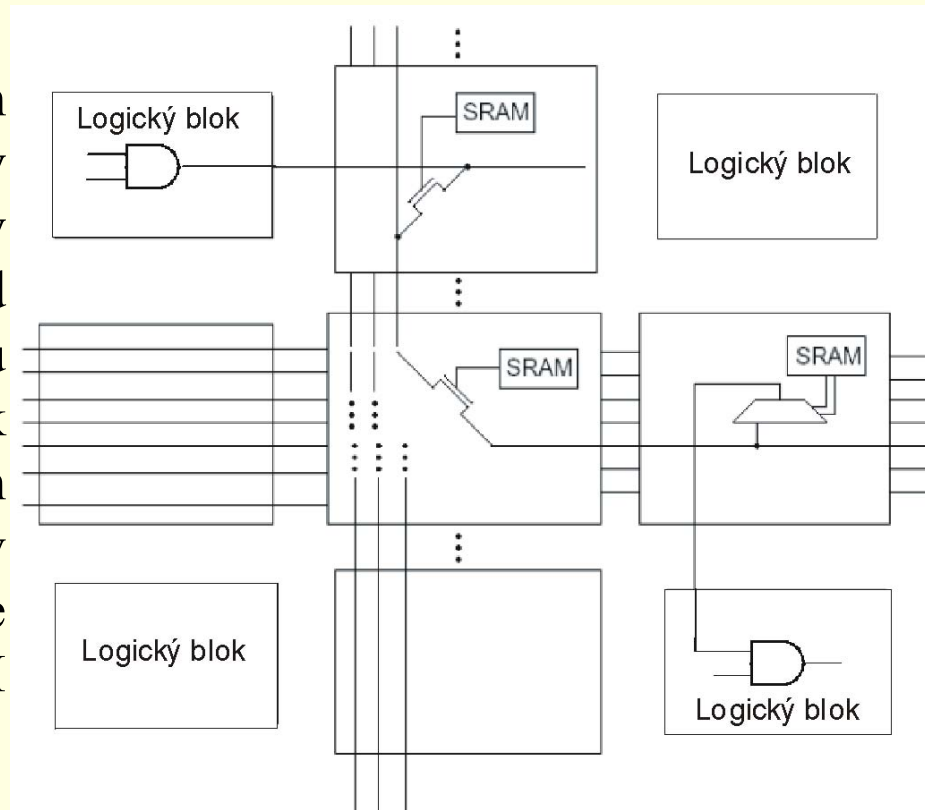
2.3 SRAM

Hoci z hľadiska technológie nie je dôvod prečo by EPROM a EEPROM technológia nemohla byť použitá v FPGA obvodoch, súčasne komerčne vyrábané FPGA sú realizované na:

- SRAM, alebo
- antifuse technológií.

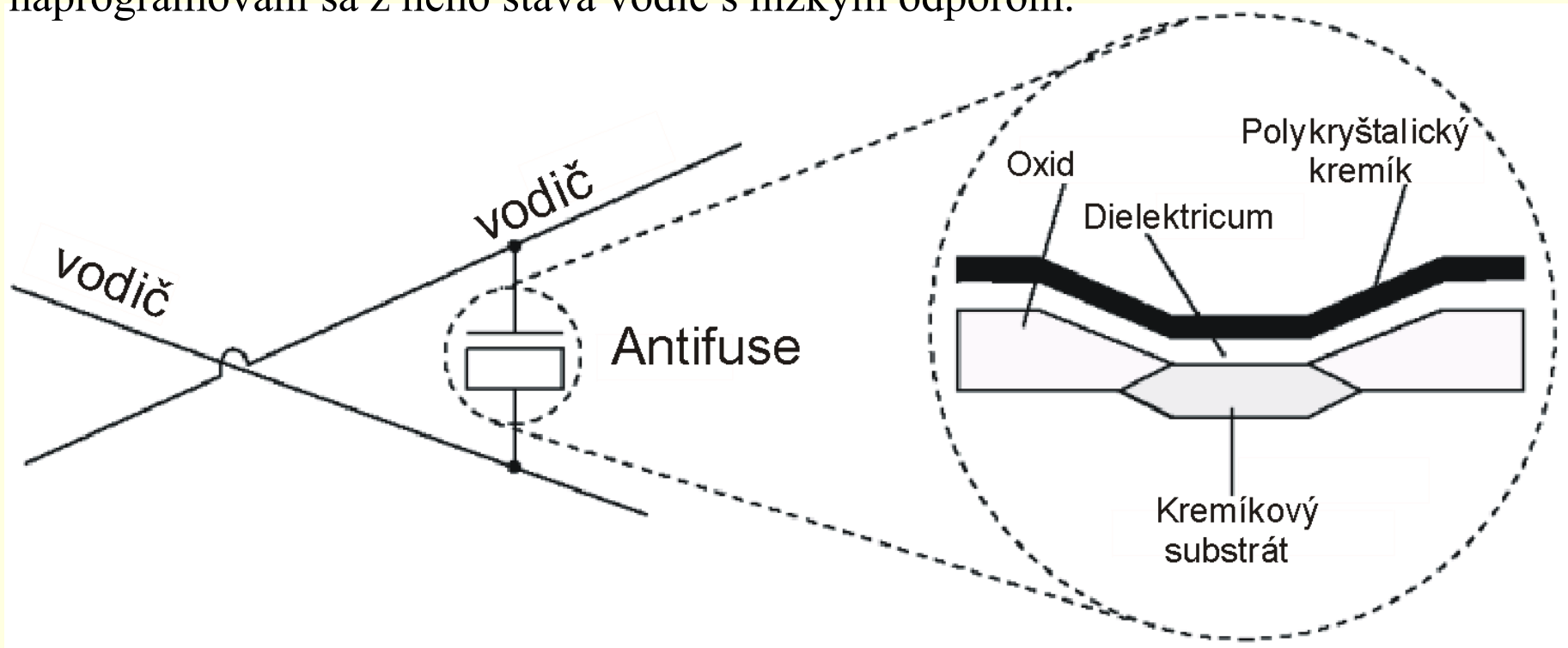
Príklad riadenia programovateľných prepojení prostredníctvom **SRAM** je na obr. Sú tu uvedené dve aplikácie.

Aplikácia, ktorá riadi hradlá spínacích tranzistorov a aplikácia ktorá vyberá riadky multiplexorov, ktoré riadia vstupy logických blokov. Obr. uvádza príklad pripojenia jedného logického bloku (reprezentovaného AND hradlom) k druhému prostredníctvom dvoch prechodových spínacích tranzistorov a multiplexera, pričom celý proces je riadený hodnotami zapísanými v SRAM bunkách.



2.4 ANTIFUSE

Ďalším typom programovateľných spínačov používaných v FPGA obvodoch je *antifuse*. Antifuse (programovateľná prepojka) v nenaprogramovanom stave má veľký odpor, teda je rozpojená. Programovaním znížime odpor tak, že prepojkou bude prechádzať signál. Antifuse sú vyrábané modifikovanou CMOS technológiou. Táto technológia je znázornená na obr. Antifuse je umiestnená medzi dva prepojovacie vodiče. Skladá sa z troch úrovní: hornú a dolnú tvorí vodič a v strede je izolant. V nenaprogramovanom stave izolant izoluje hornú a dolnú vrstvu. Pri naprogramovaní sa z neho stáva vodič s nízkym odporom.



2.5 FLASH

FLASH – elektrický mazateľné a programovateľné ROM.

FLASH:

- majú výhodu EEPROM- môžu byť elektrický mazateľné,
- majú menšiu a úspornejšiu veľkosť bunky podobne ako EPROM technológia.

Prehľad technológií programovania FPD obvodov

Typ spínača	Reprogramo- vateľnosť	Energetická závislosť	Technológia
SRAM	Áno v obvode	Áno	CMOS
EPROM	Áno mimo obvodu	Nie	UVCMOS
EEPROM	Áno v obvode	Nie	EECMOS
FUSE	Nie	Nie	Bipolárna
ANTIFUSE	Nie	Nie	CMOS+

3 Architektúry a typy číslicových obvodov SPLD

- 3.1 Obvody PLD (Programmable Logic Device)
- 3.2 Obvody PLA (Programmable Logic Array)
- 3.3 Obvody PAL (Programmable Array Logic)
- 3.4 Obvody GAL (Generic Array Logic)

3 Architektúry a typy číslicových obvodov SPLD

SPLD sú rýchle a najmenšie obvody a teda aj najlacnejšie z rodiny programovateľných obvodov.

SPLD obsahujú 4 až 22 makrobuniek a väčšinou nahrádzujú systémy ktoré sú realizované niekoľkými TTL obvodmi 7400.

Každá z makrobuniek je úplne prepojená s ostatnými makrobunkami v obvode.

Väčšina SPLD používa buď technológiu pevných prepojení (fuse), alebo technológiu energeticky nezávislých buniek EPROM, EEPROM alebo FLASH.

3.1 Úvod do obvodov PLD

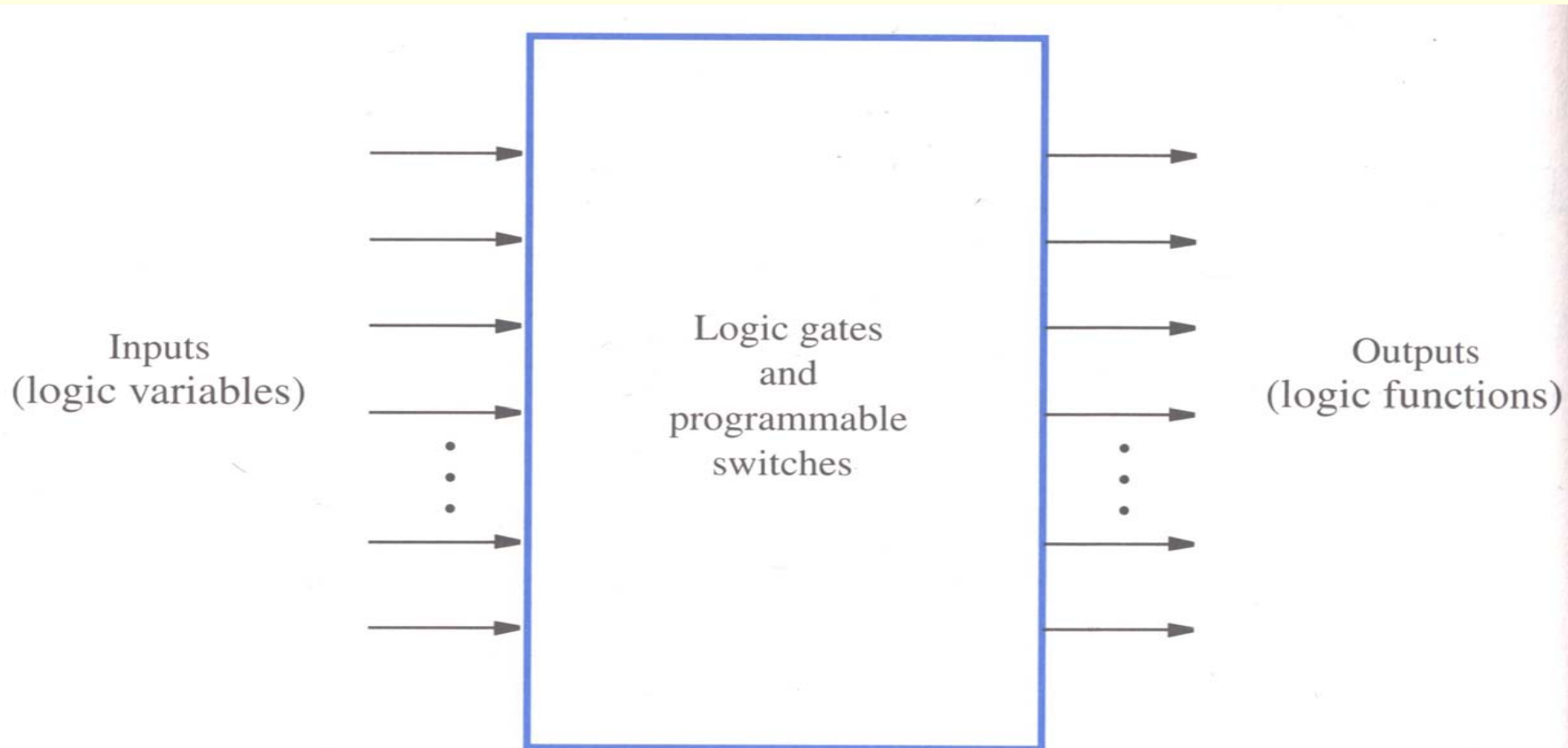
Hlavný komerčný výrobcovia sú uvedení v Tab. Obvody tejto kategórie sú charakteristické/ zaujímavé:

- veľmi rýchle,
- lacné.

Manufacturer	SPLD Products	WWW Locator
Altera	Classic	http://www.altera.com
Atmel	PAL	http://www.atmel.com
Cypress	PAL	http://www.cypress.com
Lattice	ispGAL	http://www.latticesemi.com

3.2 Obvody PLA

Všeobecná štruktúra PLA obvodov je na Obr. Na základe toho, že každú logickú funkciu môžeme vyjadriť v tvare súčtu súčinov premenných, PLA sa skladá zo súboru (poľa/ matice) AND hradiel, ktoré sa pripájajú k súboru (poľu/ matici) OR hradiel.

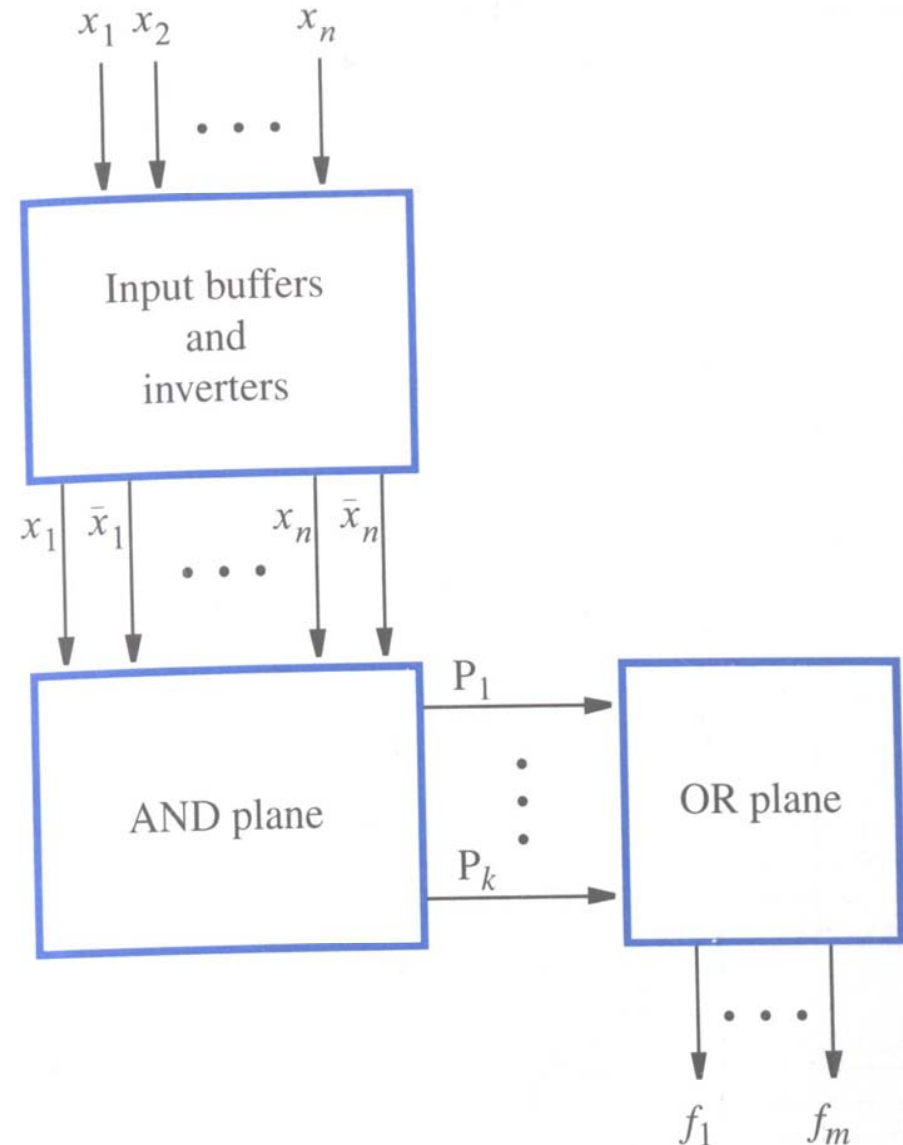


3.2 Obvody PLA

Ako vidieť z Obr. vstupné premenné prechádzajú cez prechodovú pamäť, ktorá vytvárajú doplnky vstupných premenných.

Tie vstupujú do bloku- *pole hradiel AND*, ktoré vytvára súčin týchto premenných.

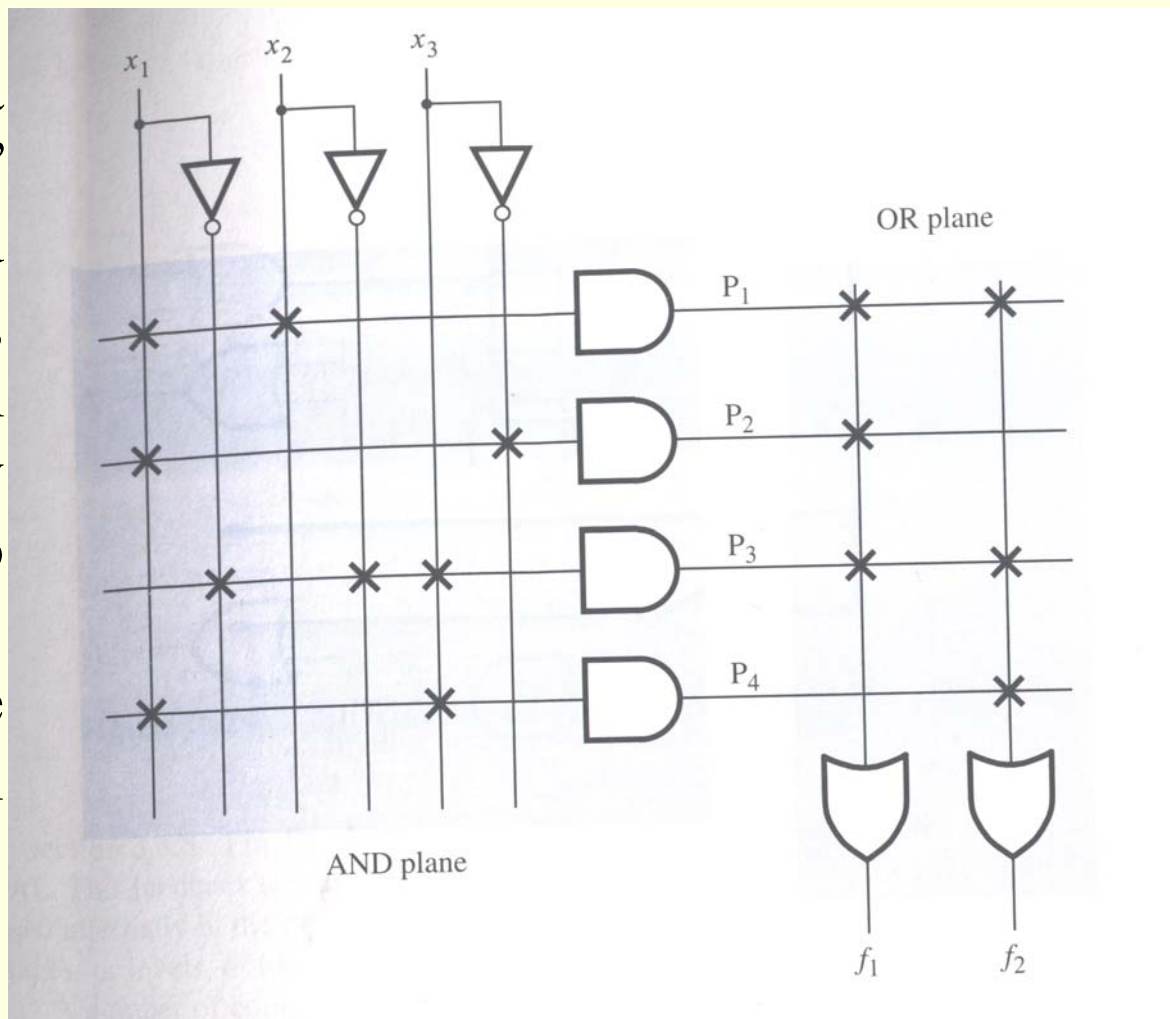
Tie ďalej slúžia ako vstupy do *poľa hradiel OR*, ktoré nakoniec vytvára výsledne požadované funkcie.



3.2 Obvody PLA

Obvody tejto kategórie sú charakteristické nasledovnou vnútornou štruktúrou. Každá vodorovná čiara v programovateľnej matici AND predstavuje vždy jedno súčinové hradlo.

Na vstupy každého hradla môžeme pripojiť „ľubovoľnú“ kombináciu vstupných signálov, spätných väzieb a ich negácií. Počet vstupov každého súčinového hradla je však obmedzený. Podobne to platí aj pre hradlo OR s vertikálnymi čiarami.



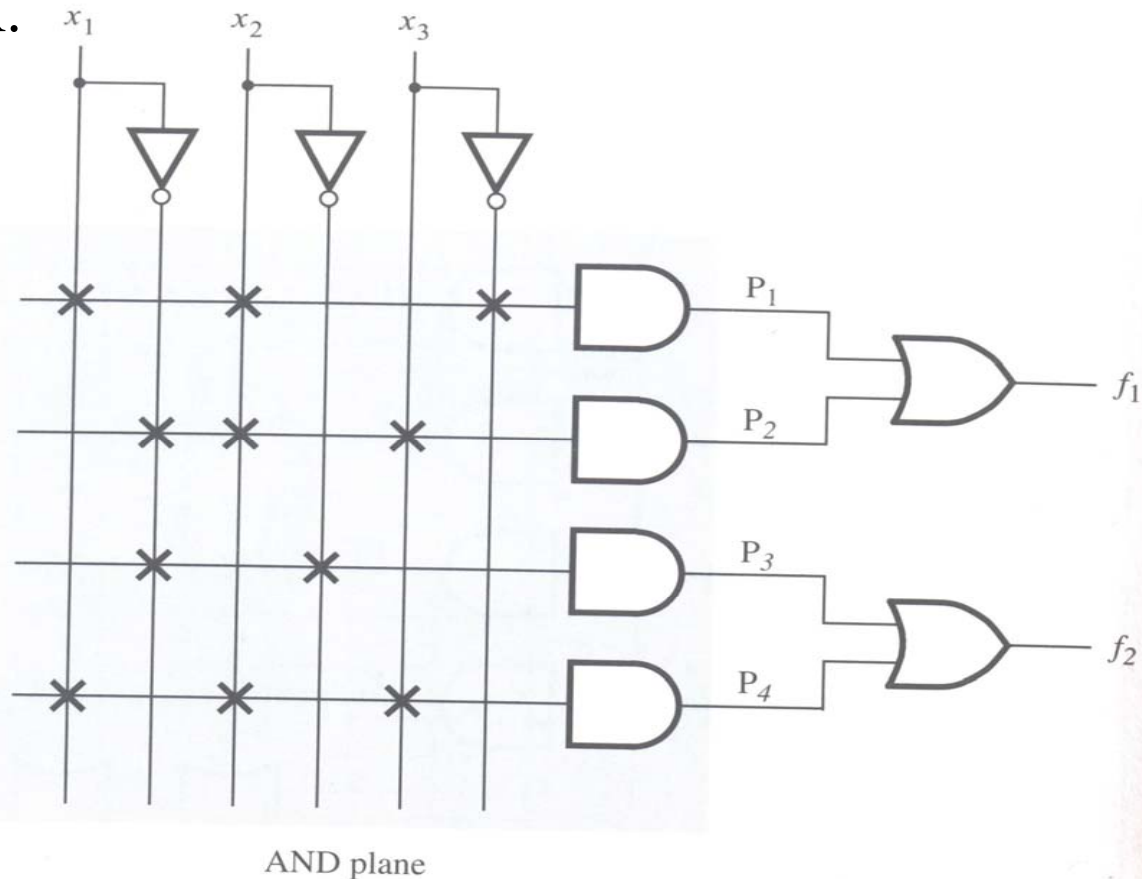
3.3 Obvody PAL

V obvodech PLA- aj pole AND aj pole OR hradiel je programovateľné. Programovateľné spínače však predstavujú pre výrobcov týchto obvodov problémy:

- je ich pomerne ťažko vyrobiť (bezchybne),
- znižujú rýchlosť PLA.

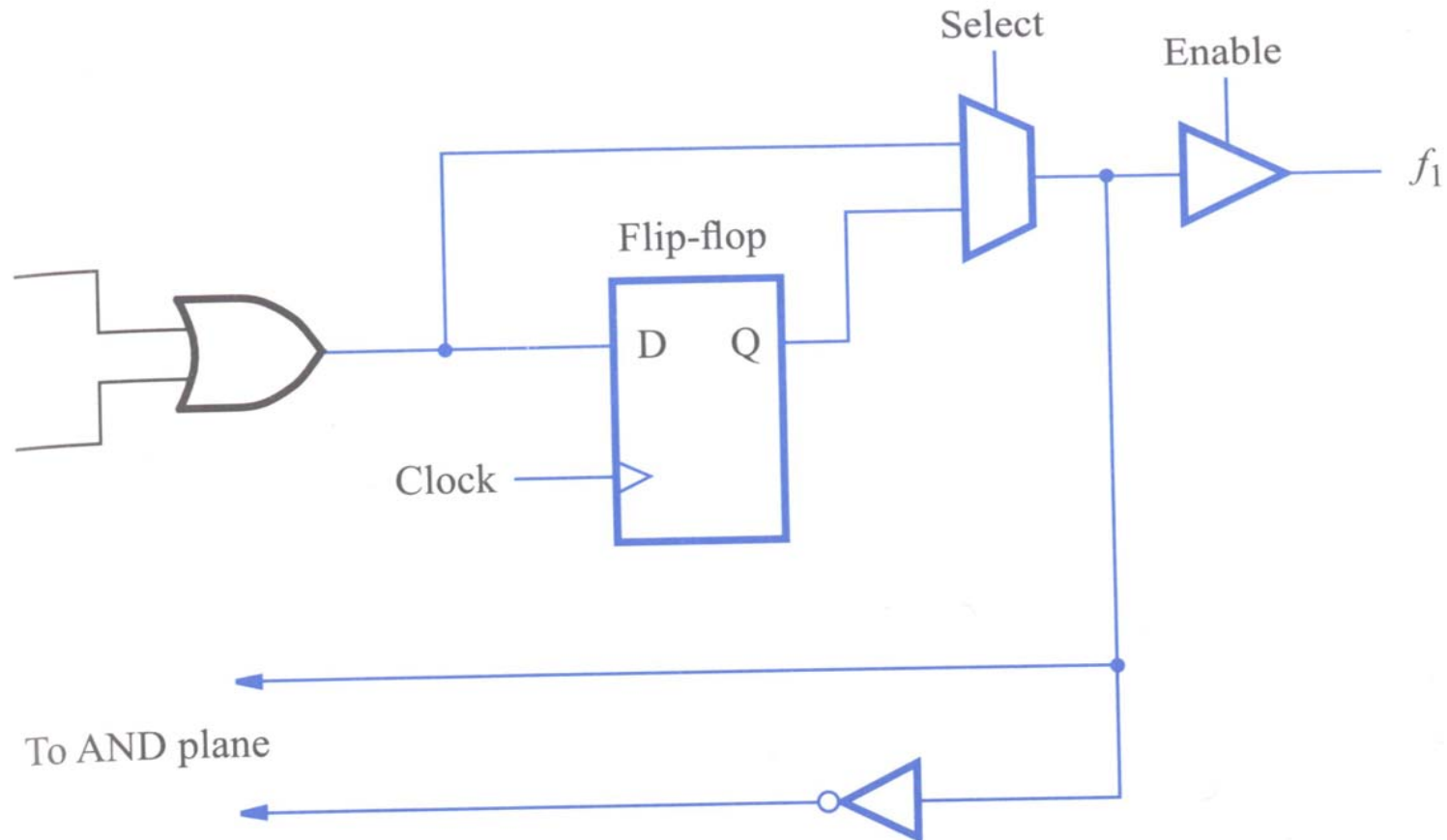
Tento nedostatok viedol k vývoju podobných obvodov, v ktorých pole AND je programovateľné, ale pole OR hradiel je pevné – **PAL** (Obr.).

- jednoduchšie z pohľadu výroby,
- lacnejšie.



3.3 Obvody PAL

V mnohých obvodoch PAL sú k výstupom OR hradiel pripojené dodatočné obvody- *makrobunky*, ktoré poskytujú dodatočnú flexibilitu (Obr.). KO- predstavuje pamäť (na hodinový signál pri prechode z logickej hodnoty 0 do 1).



3.3 Obvody PAL

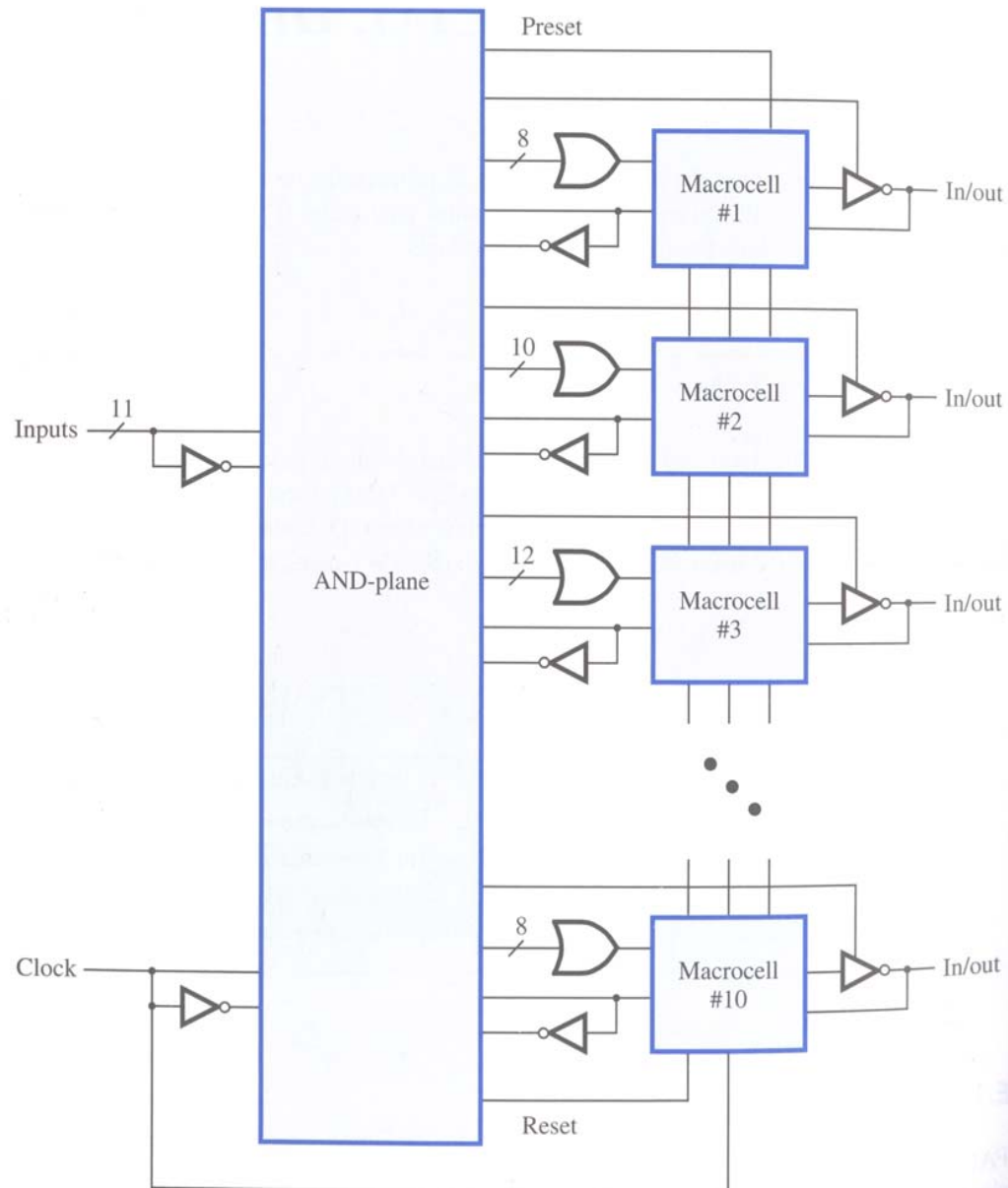
Príklad komerčne vyrábaného obvodu PAL (Advanced Micro Devices- AMD) 22V10 je na Obr. Číslo: NNXOO- S:

- NN- celkový počet vstupov a výstupov
- X- napr. obsahuje KO, ..
- OO- počet výstupov
- S- rýchlosť

12- priradených vstupov

10- vstupov/ výstupov

OR hradla majú rôzny počet vstupov (8- 16)



3.3 Obvody PAL

V mnohých obvodoch PAL sú k výstupom OR hradiel pripojené dodatočné obvody- makrobunky, ktoré poskytujú dodatočnú flexibilitu (Obr.). **XOR hradlo** zabezpečuje programovateľným vstupom (0 alebo 1) doplnok výstupu z OR hradla a pripája ho k D-KO. Multiplexer zabezpečuje premostenie KO.

KO- predstavuje pamäť (aktívna na hodinový signál pri prechode z logickej hodnoty 0 do 1).

Trojstavový buffer

