Návrhové prostredia v MG

Pavol Galajda, KEMT, FEI, TUKE Pavol.Galajda@tuke.sk

Rozmiestnenia prvkov na čipe- IC Station

Rozmiestnenie prvkov na čipe (*Layout*), alebo morfológia masiek pre výrobu integrovaných obvodov je časovo náročnejšie ako nakreslenie v **DA**.

Je zložitejšie a vyžaduje si presnosť pri vytváraní jednotlivých vrstiev!

Pri rozmiestnení prvkov je potrebné voliť vodivé vrstvy tak, aby výsledný návrh nemal:

- impedančný,
- alebo kapacitný charakter.

Do prostredia *Layout* sa dostaneme tak, že na začiatku si vytvoríme v knižnici,

v okne View, nový *New View Type* → *LAYOUT*

Library		Cell	
🗄 🕞 AMS_DIR	1 TEST		
∯- 🕞 A_CELLS	🛯 🔁 zadanie		
🔁 BP			
E CORELIB_3B			
🗄 🕞 GATES			
GATES_3B			
⊡- CollBC_3B_4M			
DLIBC_ANA_3B_4M			
E-GIOLIBV5_4M			
E-CalOLIB_3B_4M			
E-COLIB_4M			
E CLIB_ANA_3B_4M			
The contract of the contract o			
		View	
	DesignConfig		
E SECLIB S35DAM5	D vpt s35d4 device ams	New View	
	Schematic	Liew Tiew	
□		Select <u>A</u> ll Ctrl+A	
		Paste Ctrl+V	
	r	Eilter Content	
Note: Opening project "/home/jakub2/ams_circuits.proj"		AB . Her comon	
Note: Reading preferences from current MGC_HOME		Properties	
Note: Reading user settings			

Note: ICstudio startup complete

Vytvorenie projektu Layout

V okne Create New View zvolíme Type Layout → Finish

Nasledovne sa nám otvorí prostredie v ktorom môžeme navrhnúť

rozmiestnenie prvkov na čipe a ich prepojenie- Layout.

Create New	View
View Typ	e
Library Name:	BP
Cell Name:	zadanie
View Type:	🖶 Layout 🖃
Options —	
View Name:	Layout
<u> H</u> elp	< <u>Back</u> <u>N</u> ext> <u>Finish</u> <u>C</u> ancel

Vytvorenie View Type

Odporúčanie- tabuľku nástrojov \rightarrow *IC Palletes* presunúť do ľavej lišty.

Stlačíme ľavé tlačidlo na myške, držíme na *IC Palettes* a presunieme do ľavej lišty. Presun lišty IC Palettes

Layer Palette	▼ + ×		
NBUR	🜄 svf	1 🔻 🖡 🗙	
s35d4		Easy Edit	
AS AV AF		Edit	
NBUR 1	📉 svf 🔺	Expert Edit	
PBUDEF 2	svf —	CBC Edit	
NTUB 5	SVI SVI	DLA Layout	
FIMP 8	an svf	DLA Device	
DIFF 10	svf 🗸	ECO	
▼Path	▼ ▼ Array	IC Session	
✓ Text	✓ Overflow	ICrules	
IM Snape Instance	✓ Pin ✓ Device	Instant DRC	
IC Palettes	···· ▼ ╄ ×	Short Checker	
Fasi	Edit	ICtrace (D)	
E	dit	ICtrace (M)	
Expe	rt Edit	Verifdp (DRC)	
CBC	Edit	Verifdp (LVS)	
DLA	Layout	ICassemble	
DLA	Device	Plan & Place	
E(0	Boute	
IC Session			
ICr	rules	ICBIOCKS	
Instan	it DRC	Floorplan	
Short	Place & Route		

- **ODPORÚČANIE** zapnúť Hotkeys!
- Vpravo hore nad *Layer Pallete*

Zapnutie Hotkeys:

Other

Layers

23 Load Hotkey Settings View Checking Hotkey Choices Enable Hotkeys Þ Classic User-defined <u>L</u>oad... Custom Window Report ┣ 🔽 Enable hotkeys? Set Timer: Reset. Cancel

Hotkeys umožňuje klávesové skratky

- R (rotácia), C (kopírovanie), M (premiestňovanie).
- Po zadaní skratky R, M, či C



- možné definovať smer (*Direction*)- horizontálne, vertikálne, diagonálne.
- Výrazne to uľahčuje rozloženie prvkov.



Hotkeys: on

Výber prvkov

Jednotlivé prvky si vyberieme z hornej "hlavnej" lišty

HIT-Kit Utilities \rightarrow *AMS Devices* (obr.).

Po usadení jednotlivých prvkov

prvky od značíme klávesovou skratkou F2.

HIT-Kit UtilitiesShHIT-Kit InfoAMS DevicesAMS InterconnectSet PowerstyleFill Periphery RingAntenna CheckGenerated LayersSetup LVS (ICtrace)Calibre 2 Eldo

AMS Devices

Vloženie tranzistorov

- Tranzistory $NPN \rightarrow$ **nastavenia parametrov**.
- Dĺžka emitora podľa požiadaviek, napr. 12 alebo 3 (Emitter length).
- Connectivity (obr.) odporúčané odškrtnúť všetky tri políčka. V NPN
- *Tranzistor Types* vyberieme požadovaný druh tranzistora $\rightarrow OK$

AMS Devices 👻 🐥 🗙					
Bac <u>k</u>	INTERCON				
Scaleable	Devices				
MOS					
RES					
CMIM	CMIMRF				
CPOLY	CPOLVRF				
CVAR	CSINK				
Fixed Size Devices					
vert10 lat2					

Mentor Graphics		
NP	N Transistor Param	ieters
Emitter length	Connectivity	NPN Transistor Types
	✓ Join Collector	npn111 npn121 npn132
value in um 12	Join Bases	npn143 npn232
Collector Contacts (BYB only)	Join Emitters	npn243 npn254
🗆 Left	Wide Metal Spacing	npn121h5 npn132h5
🗆 Тор	Collectors	npn143h5 npn232h5
Right	Bases	npn243h5 npn254h5
Botton	Emitters	
	OK Reset	Cancel

Nastavenie parametrov NPN tranzistora

Vloženie tranzistorov

- Názorná ukážka tranzistora typu NPN 232 je na obr.
- Posúvanie tranzistora pomocou kurzorov je prehľadnejšie.
- Je možné použitie aj klávesové skratky Hotkeys.



NPN 232

Vloženie rezistorov

- Rezistory vyberieme z HIT-Kit Utilities \rightarrow AMS Devices \rightarrow RES.
- Po ich zvolení sa zobrazí okno *Resistor Parameters*.
- Odpor rezistora môžeme zadať:
- priamo hodnotou
- zvolením dĺžky a šírky (Length, Width) odporovej vrstvy rezistora.
- V položke *Number of bends* zadáme nulu.
- Vyberieme požadovaný typ rezistora.
- Uhol rohov rezistora odporúčam na *Ninety Deg. Corners (Fourty five Deg. Corners).*
- Ostatné zvolíme na *No Guard Ring* a *No Dummy Resistors* \rightarrow *OK*

Vloženie rezistorov

Na obr. je príklad ako zadávať jednotlivé parametre rezistora a príklad rezistora rpoly2_nsub v prostredí.

n = 15

Nastavenie parametrov rezistora

rpoly2_nsub

Prepájanie prvkov medzi sebou môžeme riešiť výberom z ponuky

Easy Edit \rightarrow Shape

Path (obr.)

- ODPORÚČANIE Shape ľahšia modifikácia ciest
- Je dôležité, na ktorej vrstve ťaháme vodivé cesty \rightarrow vpravo v lište
- Veľkosť cesty volíme optimálne
- Každá vrstva má iné vodivé vlastnosti, preto je potrebné poznať parametre jednotlivých vrstiev
- Možnosť *Context→Hierarchy →ping* zobrazí všetky vrstvy
- alebo Ctrl+F6

Ruler pomocné pravítko umožňuje určiť počiatočný bod od merania až po koncový bod.

Ctrl+F6

Add Objects			
Shape *			
Path *	AS AV	AF	
Text *	EPOLY	33	svf 🔤
Multi Text	CONT	34	Morrf
Property *	MET1	35	🎇 svf
	VIA1	36	svf
Prop lext "	MET2	37	🞇 svf
Cell ×	VIA2	38	svf
Device *	MET3	39	🗱 svf
Via 🕨	PAD	40	🔁 svf
<u> </u>	VIA3	41	svf
Panel *	MET4	42	💥 svf
Ruler *	LVIA	46	svt
		47	60

Vytváranie ciest

- Pri navrhovaní Layout vyžívame viacero vrstiev
- AMS technológia ponúka na realizáciu až štyri vrstvy
- Medzi každú vrstvu je potrebné vytvoriť medzivrstvu
- Add objects \rightarrow Via \rightarrow a následný výber medzivrstvy (m1m2, m2m3, m3m4). m1m2 na prepojenie vrstiev MET1 a vrstvy MET2.



Vytváranie medzivrstiev

Často dochádza k nedodržaniu minimálnych vzdialeností, napr. pri vkladaní medzivrstvy na emitor. Tranzistor musí mať pevne danú medzeru medzi emitorom a bázou.

Pri vkladaní medzivrstvy sa vytvára napr. *MET1 a MET2* vrstva, je potrebné počítať s tým, že sa priestor medzi jednotlivými časťami zúži.



Korekcia medzivrstiev

- Vľavo je zobrazený potrebný priestor medzi emitorom a bázou.
- V strede je tento **priestor zúžený** vrstvou *MET1*, ktorá vznikla pri vkladaní medzivrstvy *m1m2*.
- Vpravo je medzivrstva, ktorá si drží odstup medzi bázou a emitorom



Korekcia medzivrstiev

Spustenie DRC

- Kontrola návrhu Calibre→Run DRC v hlavnej hornej lište.
- V okne Calibre na ľavej strane sú uvedené všetky chyby návrhu.
- Zvýraznenie chýb v návrhu: pomocou funkcie Highlight,
- alebo klávesová skratka H pre označenú chybu v okne, kde sú uvedené
- chyby-je ľahšie prísť na príčinu chyby.
- Odstránenie zvýrazneného
- "lemovania" chýb realizujeme
- pomocou tlačidla *F4* v okne zoznamu chýb.
- Takto sa skontroluje celý návrh.

Run DRC

Zvýraznenie chýb



Odstraňovanie chýb Run DRC

- Uvedieme niektoré základné chyby a tipy na ich odstránenie.
- Po výbere Calibre \rightarrow Run DRC v ľavej lište je uvedené: počet chýb.
- Po výbere chyby zo zoznamu sa vypíše komentár v dolnej lište.
- Toto okno sa po odstránení neaktualizuje.

	ile <u>V</u> iew <u>Highlight</u> Iools <u>W</u> indow <u>S</u> etup	H <u>e</u> lp
Po oprave		
chyby:	Image: Check INFO_PROCE Image: Check INFO_NWELL Image: Check ILL_POLY1_[Image: Check ILL_POLY1_[Image: Check ILL_MET1_D1	
nanovo	 ☑ X Check ILL_MET2_DI ☑ X Check ILL_MET3_DI ☑ X Check INFO_TEXT_ ☑ X Check ILL_NWELL_I 	
spustiť		
Run DRC		
		×
Zoznam		
chýb	<pre>tule File Pathname: /home/jakub2/ams_circuits_proj/BP.lib/default.group/layout.views/zadanie/zadanie.cal/_s35d4m5.rules_ tule File Title: DRC/LVS 0.35 U SIGE S35D4/S35D3 polycide 3V/5V (last modification 15-Sep-05) NNF0 : DRC checked with s35d4m5</pre>	K
	Check INFO_PROCESS_S35D4M5. Cell zadanie: 1 Result	

Chyba Check MISSING_FIMP, nám už z názvu napovedá, že vrstva *FIMP* chýba alebo ju máme zle usadenú. Cez funkciu *Highlight* si túto chybu vyznačíme (graficky znázornené na obr.). Na prvý pohľad sa zdá, že je to v poriadku, pri bližšom priblížení zistíme, že vrstva je jemne posunutá. Túto

chybu odstránime tak, že dáme vrstvu na zvýraznené miesto.

Označíme vrstvu FIMP

a držaním *CTRL* dáme vrstvu na správne miesto.

Podobne je to aj s vrstvami

NLDD, HBT, či NBUR.

Chyba pri vkladaní vrstvy FIMP



Check ILL_MET1_NOT_VIA_CONT_ERC upozorňuje na to, že v schéme sa nachádza objekt, ktorý nie je zapojený. Je to častou chybou pri nedôslednom kopírovaní.

Check WIDTH_MET1_M1W1 poukazuje na šírku vodivej cesty MET1, ktorá nie je zakončená na prislúchajúci kolektor tranzistora. Z komentára nachádzajúceho sa v dolnej lište (MINIMUM MET1 width 0.5) je jasné, že šírku tejto cesty nie je možné zhotoviť technológiou, pretože jej šírka je nedostatočná. Vyznačený, vyčnievajúci trojuholník vodivej vrstvy umiestnime tak, aby bol

zarovno s hranou kolektora (obr.)!

"Prečnievajúci" dodatok vodivej vrstvy



Check ILL_CONT_RPOLY2_ERC

Chyba je príčinou toho, že sme si v návrhu zamenili rezistor s iným substrátom.

Odstránenie chyby: *rpoly2_nsub*, zameníme za *rpoly2_psub!*

Chyba pri zámena substrátov



🔀 Check SPAC_BNTUB_S1WBWB

Nedostatočná medzera medzi rozmiestnením prvkov (*Minimum BNTUB* spacing = 4.0).

Môže sa tiež vyskytnúť podobná chyba, ale týkajúca sa nedostatočným priestorom medzi rovnakými vodivými cestami.

Je potrebné jeden z tranzistorov posunúť minimálne na úroveň vyznačenej čiary tak, ako je zobrazené na obr.



Nedostatočný priestor medzi prvkami

Vytvorenie portov

Označíme vodivú cestu, ktorá má slúžiť ako vstupný alebo výstupný port. Port si pomenujeme: pravým klikom klikneme na označenú vodivú vrstvu a vyberieme $Add \rightarrow Text$. V okne zadáme Text value (požadovaný názov portu), typ vodivej vrstvy ak je to *MET1*, tak zvolíme *M1PIN*!

Ak sme nastavili hodnoty ako na obr. následne klikneme na vodivú cestu, ktorá má byť portom. Snažíme sa, aby marker portu bol vložený

do stredu vodivej cesty, tak ako na obr. vpravo!

Text value: VEE Choose one layer name MARKER Aspect Orientation M1HOLE Internal Horizontal 202 M2HOLE External Vertical 203 M3HOLE Both 204 M4HOLE 601 P1PIN Justification M1PIN M2PIN Vertical 603 Horizontal 604 M3PIN Eleft 🗋 Тор 605 M4PIN Center Middle 610 PADPIN Right Bottom P1NET 621 622 M1NET Height: 10 M2NET 623 M3NET 624 Keep Option Settings Hide Cancel

Add Text

Vytváranie portov

- Po označení tej istej vodivej cesty/ portu, pokračujeme ďalej: pravým
- kliknutím vyberieme $Add \rightarrow Make \rightarrow Port$.
- Definujeme d'alšie vlastnosti portu: typ portu (*Port Type*) smer v akom bude port pracovať (*Direction*).
- Pre VEE a GND volíme typ Power a smer In.
- Pre vstupné porty (*Direction In*) typ *Signal*.
- Pre výstupné porty (Out) sú v smere
- Out.
- Ukážka menu nastavenia portov je zobrazená na obr.
- Menu pri vytváraní portov



Pre bipolárne tranzistory je potrebné všetky substráty pripojiť na

najzápornejší potenciál/ k zdroju VEE=-3V

Teda vrstvu pdm1, ktorú nájdeme v *Easy edit* \rightarrow *Via* \rightarrow *Shape via* \rightarrow *pdm1* obr.

Medzivrstva pdm1 pripojená na port VEE



Overenie- Run LVS

- Porovnanie obvodu v simulačnom prostredí s návrhom rozmiestnenia
- prvkov na čipe (s layout-om).
- Otvorenie obvodu v simulačnom
- prostredí, odstránenie všetkých
- zdrojov!
- Spustíme simuláciu a v pravej lište
- klikneme na Session \rightarrow Netlister.
- V Setup SPICE Netlister nastavíme parametre tak, ako je to ilustrované na obr.

Setup SPICE Netlister



V simulačnom prostredí obvodu vyberieme z hornej lišty *HIT-Kit Utilities* \rightarrow *Eldo 2 Calibre*.

Zobrazí sa okno (obr.), v ktorom zadáme:

Cesta Eldo Netlist napr.:

\$Priezvisko/default.group/logic.views/zadanie/vpt_s35d4_device_ams/zadanie_vpt_ s35d4_device_ams.spi

Cesta Calibre Netlist napr.:

\$Priezvisko/default.group/logic.views/zadanie/vpt_s35d4_device_ams/zadanie.calibr

е	Mentor Graphics					
	austriamicrosystems - Eldo2Calibre					
	Eldo Netlist d4_device_ams/zadanie_vpt_s35d4_device_ams.spi Navigator					
	Calibre Netlist It.group/logic.views/zadanie/vpt_s35d4_device_ams/zadanie.calibre					
Eldo 2 Calibre	OK Reset Cancel					

- Po zadaní ciest sa vrátime spať do prostredia Layout.
- Zvolíme funkciu *Layout Vs Schematic*, v hornej lište *Calibre* \rightarrow *Run LVS*.
- Zobrazí sa okno Calibre Interactive, kde je potrebné zadať cestu pre Inputs
- v sekcii Netlist. Cesta môže vyzerať napr.:
- /home/Priezvisko/ams_circuits.proj/BP.lib/default.group/logic.views/zadanie/v pt_s35d4_device_ams/zadanie.calibre
- Dôležitou súčasťou je odškrtnúť políčko Export from schematic viewer (obr.).

Je možné využiť aj *Start RVE,* priamo poukáže na chybu.

X Calibre Interact	ive - nmLVS v2011.1_24.16 : zadanie.lvs.runset	
<u>F</u> ile <u>T</u> ranscript	<u>S</u> etup	<u>H</u> elp
Rules	🔶 Hierarchical 🔷 Flat 🔷 Calibre CB	
Inputs	🔶 Layout vs Netlist 🗠 Netlist vs Netlist 🧠 Netlist Extraction	
Outputs	Layout Netlist H-Cells Signatures Waivers	
Run <u>C</u> ontrol		
Tr <u>a</u> nscript	Files: /s/zadanie/vpt_s35d4_device_ams/zadanie.calibre	View
	Format: SPICE - OExport from sch	ematic viewer
Start RVE	Top Cell: zadanie	

V okne Layout Cell/Type je možné vidieť nedostatky. Po kliknutí na problém/ nedostatok sa nám v Layout-e zvýraznia chyby, ktoré nie sú v súhlasné

s navrhnutým obvodom.

Je potrebné skontrolovať počet *Ports, Nets,*

Instances navrhnutého

obvodu a *Layout*-u.

Príklad okna Calibre-*RVE* je na obr.

Calibre RVE

Calibre - RVE v2011.1_24	.16 : sv	/db cip	
Eile <u>V</u> iew <u>H</u> ighlight <u>T</u>	ools	<u>W</u> indow <u>S</u> etup	
🎾 🖋 🦓 🔰	5	Image: Second	
+ Navigator	₽×	😕 Comparison Results 🗙	
Results → Extraction Results Comparison Results Reports Rules File Extraction Report LVS Report View Info A Finder Schematics Setup Options		Layout Cell / Type X zadanie III X Discrepancies X Discrepancy #1 X Discrepancy #2 X Discrepancy #3 X Discrepancy #3 X Discrepancy #4 X Discrepancy #4 X Discrepancy #5 X Discrepancy #5 Cell cip (7 Incorrect Nets) LAYOUT NAME X Discrepancy #1 in cip Net GND ** missing connection ** R6 (46, 400, 60, 050) : pos R3 (9, 150, -5, 600) : pos R2 (-21, 050, -4, 950) : pos	Source Cell Count ZADANIE 11 11 7 SOURCE NAME <u>GROUND</u> <u>OX_ONPN_4</u> :c ** unmatched connection ** ** unmatched connection **
		<pre>** unmatched connection ** ** unmatched connection ** ** unmatched connection ** ** <u>Discrepancy #2 in cip</u></pre>	<u>RX R 4</u> :pos <u>RX R 6</u> :pos <u>RX R 7</u> :pos
		Net10	<u>N\$134</u>
		** missing connection **	<u>CX_C_1</u> :pos
		<u>R6 (46, 400, 60, 050</u>) :neg	** unmatched connection **

Po odstránení všetkých nedostatkov, sa objaví v Run LVS správa o úspešnej

kontrole ako je to na obr.

🕻 LVS Rep	ort File - I	vs.report	 	-	-	
<u>F</u> ile <u>E</u> dit	<u>O</u> ptions	<u>W</u> indows				
						_

LVS Netlist Compiler - Errors and Warnings for "/home/jakub2/ams_circuits.proj/BP.lib/

Warning: Can't understand statement ".CONNECT" at line 4 in file "/home/jakub2/ams_cir

##															##
*#	С	A L	Ι	в	R	Ε		- 5	53	ï	s	т	Ε	М	##
#															##
#		L	v	s		R	Ε	Ρ	0	R	Г	2			##
#															##

REPORT FILE NAME:	lvs.report
LAYOUT NAME :	/home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.v
SOURCE NAME :	/home/jakub2/ams_circuits.proj/BP.lib/default.group/logic.vi
RULE FILE:	/home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.v
RULE FILE TITLE:	DRC/LVS 0.35 U SIGE S35D4/S35D3 polycide 3V/5V (last modific
CREATION TIME:	Wed May 23 19:02:34 2012
CURRENT DIRECTORY:	/home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.v
JSER NAME :	jakub2
CALIBRE VERSION:	v2011.1_24.16 Tue Mar 8 14:38:02 PST 2011

OVERALL COMPARISON RESULTS

#	###7	*###########	####		
#	#		#	*	*
# #	#	CORRECT	#	1	
# #	#		#	\`	1
#	###7	*##########	####	_	_

Warning: Ambiguity points were found and resolved arbitrarily.

LVS Report File

Run PEX

- Slúži na zistenie parazitný prejavov, v hornej lište Calibre \rightarrow Run PEX- okno
- Calibre Interactive Pex. Dôležité je nastaviť Inputs v sekcii Netlist.
- Formát- SPICE a odškrtneme Export from schematic viewer (obr.).
- Cestu zadáme ako pri Run DRC či Run LVS, napr.:
- /home/Priezvisko/ams_circuits.proj/BP.lib/default.group/logic.views/zadanie/v
- pt_s35d4_device_ams/zadanie.calibre

X Calibre Interac	tive - PEX v2011.1_24.16 : zadanie.pex.runset
<u>File</u> <u>T</u> ranscript	Setup Help
Rules	Layout Netlist H-Cells Blocks Probes
<u>O</u> utputs	Files: /s/zadanie/vpt_s35d4_device_ams/zadanie.calibre View
Run <u>C</u> ontrol	Format: SPICE - Export from schematic viewer
Tr <u>a</u> nscript	Top Cell: zadanie
Run <u>P</u> EX	Ī
Start RVE	Ī

Inputs Calibre Interactive– PEX V ďalšom kroku nastavíme *Outputs*, formát zvolíme typu *ELDO* a v položke

File dopíšeme za text .calibre, výsledok nastavenia je vidieť na obr.

Potom spustíme Run PEX.

X C	alibre Interac	tive - PEX v2011.1_24.16 : zadanie.pex.runset		~
<u>E</u> ile	Transcript	<u>S</u> etup		<u>H</u> elp
	<u>R</u> ules	Extraction Mode: xRC Accuracy 200		
-	Inputs Outpute	Extraction Type: Transistor Level R + C + CC No Inductance		
R	un <u>C</u> ontrol	Netlist Nets Reports SVDB		
	Fr <u>a</u> nscript	Format: ELDO DUse Names From: SCHEMATIC		٦Ì
S	Run <u>P</u> EX	File: zadanie.pex.netlist.calibre	View	
	Start R <u>∨</u> E	View netlist after PEX finishes		

Spúšťanie Calibre Interactive - PEX

Po spustení Run PEX sa nám vygeneruje PEX Netlist File.

PROBLÉM: tento súbor používa dva príkazy, ktorých adresa nie je

kompletná: .include "zadanie.pex.netlist.calibre.pex"

.include "zadanie.pex.netlist.calibre.ZADANIE.pxi"

napr.:/home/ams_circuits.proj/Priezv.lib/default.group/layout.views/zadanie/z

adanie.cal/

Jeden z príkazov je znázornený

na obr., druhý sa nachádza na

konci Netlistu.

Je potrebné ich adresu

doplniť-2x!

PEX Netlist File + doplnená

adresa

X PEX Netlist File - zadanie.pex.netlist.calibre	x
<u>File Edit Options Windows</u>	
* . <u>include "zadanie.pex.netlist.calibre.pex"</u> .subckt ZADANIE OUT2 OUT1 GROUND IF1 LO2 LO1 IF2 VEE *zadanie.pex.petist.calibre.eldo (~/ams.circuits.proj/BP.lib/defaulp/javout.views/zadanie/zadanie.cal) - gedit	
File Edit View Search Tools Documents Help	
Image: Save Print Image: Save Image: Sav	
📄 *zadanie.pex.netlist.calibre.eldo 💥	
<pre>* Created: Wed May 23 22:12:52 2012 * Program "Calibre xRC" * Version "v2011.1_24.16" * .include "/home/jakub2/ams circuits.proj/BP.lib/default.group/layout.views/zadanie/zadanie.cal/zadanie.pex.netlist.calibre.pex" .subckt ZADANIE OUT2 OUT1 GROUND IF1 L02 L01 IF2 VEE * * VEE VEE * VEE VEE * IF2 IF2 * L01 L01 * L02 L02 * IF1 IF1 * GND GND * OUT1 OUT1</pre>	
* OUT2 OUT2 XRX_R_8 N_GROUND_RX_R_8_pos N_IF1_RX_R_8_neg RPOLY2 w=1.5e-05 l=2.95e-05 XRX_R_5 N_IF2_RX_R_5_pos N_GROUND_RX_R_5_neg RPOLY2 w=1.5e-05 l=2.95e-05 XRX_R_4 N_LO1_RX_R_4_pos N_GROUND_RX_R_4_neg RPOLY2 w=1.5e-05 l=2.95e-05 XRX_R_7 N_GROUND_RX_R_7_pos N_IF1_RX_R_7_neg RPOLY2 w=1.5e-05 l=2.95e-05 XRX_R_6 N_IF2_RX_R_6_pos N_GROUND_RX_R_6_neg RPOLY2 w=1.5e-05 l=2.95e-05 XRX_R_1 N_GROUND_RX_R_1_pos N_GROUND_RX_R_6_neg RPOLY2 w=1.5e-05 l=2.95e-05 XRX_R_1 N_GROUND_RX_R_1_pos N_GROUND_RX_R_6_neg RPOLY2 w=1.5e-05 l=2.95e-05 XRX_R_1 N_GROUND_RX_R_1_pos N_GROUND_RX_R_1_neg RPOLY2 w=1.5e-05 l=2.95e-05 XRX_R_1 N_U01_RX_R_3_pos N_GROUND_RX_R_1_neg RPOLY2 w=1.5e-05 l=2.95e-05 XRX_R_1 N_U01_RX_R_1_pos N_GROUND_RX_R_10_neg RPOLY2 w=2e-05 l=3.95e-05 XRX_R_1 N_U01_RX_R_9_pos N_GROUND_RX_R_10_neg RPOLY2 w=2e-05 l=3.95e-05 XRX_R_9 N_U011_RX_R_9_pos N_GROUND_RX_R_9_neg RPOLY2 w=2e-05 l=3.95e-05 XRX_R_9 N_U011_RX_R_9 N_GROUND_RX_R_9 N_GROUND_RX_R_9_NG RPOLY2 w=2e-05 l=3.95e-05 XRX_R_10 N_NN_108 N_R_10_N_R_R_10_N_R0_R_10_N_R0_R_10_N_R0_R_10_N_R0_R_10_N_00_R_10_N	05 05 05
XRX_R_15 N_N\$209_RX_R_15_pos N_GROUND_RX_R_15_neg RPOLYH w=1.6e-05 l=1.975e-05 XRX_R_13 N_N\$118_RX_R_13_pos N_GROUND_RX_R_13_neg RPOLYH w=1.6e-05 l=2.105e-05	1

Calibre 2 Eldo

V prostredí, kde sme vytvorili Layout, v hornej lište zvolíme

HIT-Kit Utilities→*Calibre* 2 *Eldo.* V okne (obr.) zadame cestu

vygenerovaného netlistu, do ktorého sme za text dopisovali .calibre.

Cesta Calibre Netlist je napr.:

\$Priezvisko/default.group/layout.views/zadanie/zadanie.cal/zadanie.pex.netlist.calibr

е

Cesta pre Eldo Netlist je tá istá, plus na konci sa dopíše .eldo, napr.:

\$Priezvisko/default.group/layout.views/zadanie/zadanie.cal/zadanie.pex.netlist.calibr

e.eldo

Calibre 2 ELDO

🔀 Mentor Graphic	S	×
	austriamicrosystems - Calibre2Eldo	
Calibre Netlist	\$BP/default.group/layout.views/zadanie/zada	Navigator
Eldo Netlist /lay	out.views/zadanie/zadanie.cal/zadanie.pex.netlist	.calibre.eldo
	OK Reset Cancel	

Import vytvoreného prvku- vytvorenie symbolu

- Vytvorenie symbolu pre náš navrhnutý obvod.
- Musíme ho najprv importovať.
- V ICstudiu (obr.) vyberieme $File \rightarrow Import \rightarrow Spice$.



ICStudio

V okne *Import Spice* zvolíme cestu kde sa *ELDO* súbor nachádza napr.:

/home/ams_circuits.proj/Priezv.lib/default.group/layout.views/zadanie/zad anie.cal/zadanie.pex.netlist.calibre.eldo

- V položke One sub-circuit vyberieme názov bunky, napr.: ZADANIE.
- Potvrdíme *Import*, ak sa zobrazí ďalšie okno, vyberieme *Creat Symbol*.

Output library: BP		View nar	ne: Spice	alibus alda 🖼
-Sub-circuit(s) to Import -	vs/zadanie/zada	inie.cai/zadan	e.pex.netiist.c	alibre.eido
One sub-circuit:	ZADANIE			•
C ALL sub-circuits				
C Multiple sub-circuits:	Select			
✓ Inline all .INCLUDE files	(required unless	s full pathnam	es are used) 🖌 Adva	unced Options

Import Spice

V *okne View* sa vytvorí ikona - symbol násho navrhnutého obvodu (obr. vľavo)- aj s parazitnými prvkami. Pre porovnanie na obr. vpravo je *Layout* toho istého obvodu.

Navrhnutý obvod po vytvorení symbolu- aj s parazitnými prvkami





Layout navrhnutého obvodu